

BEST AVAILABLE COPY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-328436

(43)Date of publication of application : 18.11.2004

(51)Int.Cl.

H03M 1/10

H03M 1/12

(21)Application number : 2003-121347

(71)Applicant : ANRITSU CORP

(22)Date of filing : 25.04.2003

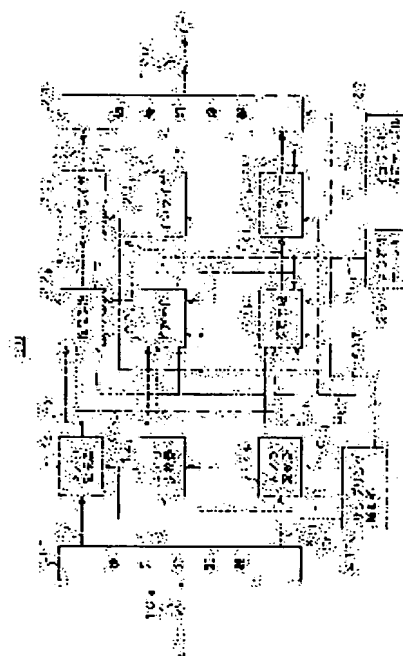
(72)Inventor : SEKIYA HITOSHI

(54) A/D CONVERTER

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce errors of a time domain and a frequency domain in an A/D converter in a time interleave system.

SOLUTION: The A/D converter is provided with an AD characteristic table 25 which uses one of a plurality of A/D converters 12 as a reference and preliminarily stores a coefficient of a filter having an impulse response which satisfies characteristics of difference between the respective frequency characteristics from an input terminal 10a to output terminals of the respective A/D converters and frequency characteristics of the reference A/D converter and an estimation means for estimating a sample value to be obtained on the assumption that other A/D converter performs conversion processing in timing when the A/D converter updates the sample value based on the sample value converted and outputted by the plurality of A/D converters 12 and the coefficient stored in the AD characteristic table 25.



LEGAL STATUS

[Date of request for examination] 14.08.2003

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公 開 特 許 公 報 (A)

(11) 特許出願公開番号

特開2004-328436

(P2004-328436A)

(43) 公開日 平成16年11月18日 (2004. 11. 18)

(51) Int. Cl. ⁷

H03M 1/10

H03M 1/12

F 1

H03M 1/10

H03M 1/12

A

C

テーマコード (参考)

5 J 0 2 2

審査請求 有 請求項の数 3 O L (全 18 頁)

(21) 出願番号 特願2003-121347 (P2003-121347)
(22) 出願日 平成15年4月25日 (2003. 4. 25)

(71) 出願人 000000572
アンリツ株式会社
神奈川県厚木市恩名1800番地
(74) 代理人 100079337
弁理士 早川 誠志
(72) 発明者 関谷 仁志
東京都港区南麻布五丁目10番27号 ア
ンリツ株式会社内
Fターム (参考) 5J022 AA01 BA10 CA10 CE01

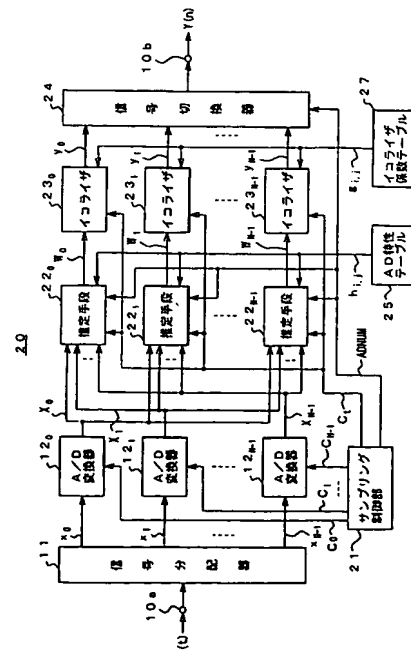
(54) 【発明の名称】 A/D変換装置

(57) 【要約】

【課題】 時間インターリーブ方式のA/D変換装置において、時間領域および周波数領域の誤差を低減する。

【解決手段】 複数のA/D変換器12の一つを基準とし、入力端子10aから各A/D変換器の出力端子までのそれぞれの周波数特性と基準のA/D変換器の周波数特性との差の特性を満たすインパルス応答を有するフィルタの係数を予め記憶しているAD特性テーブル25と、複数のA/D変換器12によって変換出力されるサンプル値およびAD特性テーブル25に記憶されている係数に基づいて、A/D変換器がサンプル値を更新するタイミングに他のA/D変換器が変換処理をおこなったと仮定して得られるサンプル値を推定する推定手段22とを設けている。

【選択図】 図2



【特許請求の範囲】

【請求項 1】

信号を入力するための入力端子（10a）と、
複数の A/D 変換器（12）と、

前記入力端子からの入力信号を前記 A/D 変換器にそれぞれ入力する信号分配器（11）と、

前記各 A/D 変換器に対し、サンプリングのための所定周期のクロックを、前記 A/D 変換器数で前記所定周期を割って得られる時間にほぼ等しい時間差で所定順に且つ循環的に与えるとともに、前記クロックを受けて A/D 変換処理を行う A/D 変換器を指定する指定信号を出力するサンプリング制御部（21）とを有する A/D 変換装置において、
前記複数の A/D 変換器の 1 つを基準とし、前記入力端子から前記各 A/D 変換器の出力端子までのそれぞれの周波数特性と前記基準の A/D 変換器の周波数特性との差の特性を満たすインパルス応答を有するフィルタの係数を予め記憶している A/D 特性テーブル（25）と、

前記指定信号、前記複数の A/D 変換器によって変換出力されるサンプル値および前記 A/D 特性テーブルに記憶されている係数に基づいて、前記クロックを受けた A/D 変換器がサンプル値を更新するタイミングに他の A/D 変換器が変換処理をおこなったと仮定して得られるサンプル値を推定する推定手段（22）とを設けたことを特徴とする A/D 変換装置。

【請求項 2】

前記推定手段は前記各 A/D 変換器毎に設けられ、それぞれが対応する A/D 変換器についてのサンプル値を推定するように構成され、

前記基準の A/D 変換器と各 A/D 変換器の周波数特性の差をそれぞれ相殺する周波数特性を満たすインパルス応答を有するフィルタの係数を予め記憶しているイコライザ係数テーブル（27）と、

前記各推定手段毎にそれぞれ設けられ、各推定手段から出力されるサンプル値に対して、前記イコライザ係数テーブルに記憶されている係数に基づくフィルタリングをそれぞれ行なって、誤差補正されたサンプル値をそれぞれ出力する複数のイコライザ（23）と、

前記指定信号と前記複数のイコライザからのサンプル値とを受け、前記 A/D 変換器が前記クロックによってサンプリングする順に前記複数のイコライザのサンプル値を選択して出力する信号切換器（24）とを設けたことを特徴とする請求項 1 記載の A/D 変換装置。

【請求項 3】

前記複数の A/D 変換器に入力されるクロックの位相を調整する位相調整手段（31）を設けたことを特徴とする請求項 1 または 2 記載の A/D 変換装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、アナログ信号をデジタル信号に変換する A/D 変換装置に関し、特に、変換対象のアナログ信号を複数の A/D 変換器に入力し、各 A/D 変換器に所定周期のサンプリングクロックを僅かずつ遅延したタイミングを与えて、低いサンプリング速度で、高分解能のデジタル変換が可能な時間インターリーブ方式の A/D 変換装置において、個々の A/D 変換器のミスマッチによるサンプル値の変動、スプリアスの発生を低減する技術に関する。

【0002】

【従来の技術】

アナログ信号をデジタル信号列に変換して各種処理を行なう装置において、高速なアナログ信号の信号処理を行なうものでは、時間インターリーブ方式の A/D 変換装置が用いられている。

【0003】

図12は時間インタリーブ方式のA/D変換装置10の基本構成を示し、図13はその動作を示している。

【0004】

このA/D変換装置10は、入力端子10aに入力される図13の(a)のようなアナログの入力信号 $x(t)$ を、信号分配器11によって複数N本の信号経路に分岐して、N個のA/D変換器12₀～12_{N-1}にそれぞれ入力する。

【0005】

サンプリング制御部13は、図13の(b1)～(bN)に示すように、それぞれが周期Tを持ち、位相が $\Delta T (= T/N)$ ずつシフトされたサンプリング用のクロック $C_0 \sim C_{N-1}$ を生成してそれぞれA/D変換器12₀～12_{N-1}に与えると同時に、図13の(d)のように、各A/D変換器12₀～12_{N-1}のうちサンプリングを行うA/D変換器を指定する指定信号ADNUMを信号切換器14に与える。

10

【0006】

各A/D変換器12₀～12_{N-1}は、クロック $C_0 \sim C_{N-1}$ をそれぞれ受けたときの入力値 $x(P)$ 、 $x(P+1)$ 、 $x(P+2)$ 、…をサンプリングしてディジタル値に変換し、図13の(c1)～(cN)のように、各サンプル値 $X_{0,P}$ 、 $X_{1,P+1}$ 、 $X_{2,P+2}$ 、…をそれぞれ信号切換器14に出力する。

【0007】

信号切換器14は、各A/D変換器12₀～12_{N-1}のうち、指定信号ADNUMで指定されたA/D変換器から出力されるサンプル値 $X_{0,P}$ 、 $X_{1,P+1}$ 、 $X_{2,P+2}$ 、…を順次選択して、図13の(e)のように、サンプル値がそのサンプリング順に並んだディジタル信号列 $Y(n)$ を出力端子10bに出力する。

20

【0008】

このようにして得られるディジタル信号列 $Y(n)$ は、入力信号 $x(t)$ をクロック周期Tの $1/N$ のサンプリング周期 ΔT でサンプリングして得られるものと等価となり、低速なA/D変換器で高速なサンプリングが行える。

【0009】

ところが、上記A/D変換装置10のように、入力信号 $x(t)$ を複数のA/D変換器12₀～12_{N-1}に分配入力する場合、信号分配器12自身の分配特性や分配経路の周波数特性の違いおよび各A/D変換器12₀～12_{N-1}の周波数特性の違いによって、得られたサンプル値を信号処理した結果に誤差を発生させる。

30

【0010】

また、各A/D変換器12₀～12_{N-1}のサンプリングタイミングを決定するクロックに関しても、その信号経路長の差、各A/D変換器のサンプリングクロックに対する遅延特性の差等によるタイミング誤差が生じて、得られたサンプル値を信号処理した結果に誤差を発生させる。

【0011】

図14は、2個のA/D変換器を用いた時間インタリーブ方式のA/D変換装置に対して、振幅一定で単一周波数 f の正弦波の入力信号を与えた場合に得られるディジタル信号列 $Y(n)$ の時間波形と、入力信号 $x(t)$ に対する振幅誤差 $E(n)$ を拡大した波形を示し、図15は、得られたディジタル信号列 $Y(n)$ に対するFFT演算結果(周波数スペクトラム)を示している。

40

【0012】

図14および図15の結果は、一方のA/D変換器のサンプリングタイミングのみを理想のタイミングから位相換算で0.1度だけずらし、その他は全てが理想条件でシミュレーションして得られたものである。

【0013】

図14の各波形から、サンプル値には、入力信号に存在しないサンプリング周期で変動する信号成分が含まれていることが判る。

【0014】

50

また、図 15 の周波数スペクトラムから、サンプル値には、入力信号 $x(t)$ に存在しないスプリアス成分 f' が含まれていることが判る。

【0015】

このように、サンプリングタイミングの僅かな誤差でも、時間領域および周波数領域の誤差が発生し、入力信号に対する時間波形解析処理や周波数スペクトラム解析処理をおこなう場合に、正しい解析が行えない。

【0016】

これら入力端子から A/D 変換器に至る特性の不均一性（ミスマッチ）の影響を低減する方法として、次の特許文献 1 には、各 A/D 変換器のゲインとオフセットを補正する技術が提案されている。

【0017】

【特許文献 1】特開 2000-295105

【0018】

また、次の非特許文献 1 には、複数の A/D 変換器をランダムな順番で繰り返し利用することで、誤差となる成分をランダムに拡散させて、スプリアス成分を広範囲に拡散させ、スプリアスレベルを低減する方法が提案されている。

【0019】

【非特許文献 1】

Mamoru Tamba, et al., "A Method to Improve SFDR with Random Interleaved Sampling Method", IEEE ITC International Test Conference, 2001.

【0020】

また、別の方法として、次の非特許文献 2 には、個々の A/D 変換器の周波数特性を補正して誤差を低減する方法が提案されている。

【0021】

【非特許文献 2】

Koji Asama, et al., "A Method to Improve the Performance of High-speed Waveform Digitizing", IEEE ITC International Test Conference, 1999.

【0022】

【発明が解決しようとする課題】

しかしながら、前記特許文献 1 のように A/D 変換器のゲインとオフセットを補正する方法では、個々の A/D 変換器に特有な周波数特性の違いによる時間波形測定での観測の乱れや周波数スペクトラム測定でのスプリアス発生による測定精度の低下は避けられなかった。

【0023】

また、前記非特許文献 1 のように、スプリアス成分を拡散させる方法では、誤差のエネルギー自体が低減しておらず依然として存在しており、しかも時間領域における誤差は低減されないという問題がある。

【0024】

また、前記非特許文献 2 の方法は、サンプリングタイミングのみの補正であり、個々の A/D 変換器の特性が厳密にバランスしていることが必須条件となり、しかも、時間領域演算には逆フーリエ変換処理を必要とするため、回路が複雑化し、FFT 演算のための余分な処理時間がかかるという問題があった。

【0025】

本発明は、これらの問題を解決して、より簡単な構造で、時間領域および周波数領域の誤差を低減することができる A/D 変換装置を提供することを目的としている。

【0026】

【課題を解決するための手段】

前記目的を達成するために、本発明の請求項 1 の A/D 変換装置は、
 信号を入力するための入力端子 (10a) と、
 複数の A/D 変換器 (12) と、
 前記入力端子からの入力信号を前記 A/D 変換器にそれぞれ入力する信号分配器 (11)
 と、

前記各 A/D 変換器に対し、サンプリングのための所定周期のクロックを、前記 A/D 変換器数で前記所定周期を割って得られる時間にほぼ等しい時間差で所定順に且つ循環的に与えるとともに、前記クロックを受けて A/D 変換処理を行う A/D 変換器を指定する指定信号を出力するサンプリング制御部 (21) とを有する A/D 変換装置において、
 前記複数の A/D 変換器の 1 つを基準とし、前記入力端子から前記各 A/D 変換器の出力端子までのそれぞれの周波数特性と前記基準の A/D 変換器の周波数特性との差の特性を満たすインパルス応答を有するフィルタの係数を予め記憶している A/D 特性テーブル (25) と、

前記指定信号、前記複数の A/D 変換器によって変換出力されるサンプル値および前記 A/D 特性テーブルに記憶されている係数に基づいて、前記クロックを受けた A/D 変換器がサンプル値を更新するタイミングに他の A/D 変換器が変換処理をおこなったと仮定して得られるサンプル値を推定する推定手段 (22) とを設けたことを特徴としている。

【0027】

また、本発明の請求項 2 の A/D 変換装置は、請求項 1 の A/D 変換装置において、
 前記推定手段は前記各 A/D 変換器毎に設けられ、それぞれが対応する A/D 変換器につ
 いてのサンプル値を推定するように構成され、

前記基準の A/D 変換器と各 A/D 変換器の周波数特性の差をそれぞれ相殺する周波数特性を満たすインパルス応答を有するフィルタの係数を予め記憶しているイコライザ係数テーブル (27) と、

前記各推定手段毎にそれぞれ設けられ、各推定手段から出力されるサンプル値に対して、前記イコライザ係数テーブルに記憶されている係数に基づくフィルタリングをそれぞれ行なって、誤差補正されたサンプル値をそれぞれ出力する複数のイコライザ (23) と、
 前記指定信号と前記複数のイコライザからのサンプル値とを受け、前記 A/D 変換器が前記クロックによってサンプリングする順に前記複数のイコライザのサンプル値を選択して出力する信号切替器 (24) とを設けたことを特徴としている。

【0028】

また、本発明の請求項 3 の A/D 変換装置は、請求項 1 または請求項 2 記載の A/D 変換装置において、

前記複数の A/D 変換器に入力されるクロックの位相を調整する位相調整手段 (31) を設けたことを特徴としている。

【0029】

【発明の実施の形態】

先ず、本発明の前提となる技術について説明する。

始めに、前記した N 個の A/D 変換器 12 のうちの任意のものを基準 A/D 変換器と定め、各 A/D 変換器毎に、入力端子から A/D 変換器までの入力特性や変換特性およびサンプリング系の位相誤差特性をまとめて周波数特性を算出し、その各周波数特性と基準の A/D 変換器についての周波数特性との差を求めて、これをミスマッチ特性と定義する。

【0030】

また、本発明で扱う入力信号 $x(t)$ は、N 個の A/D 変換器を用いて実現する高速サンプリング周波数を $F_s (= 1/\Delta T)$ としたとき、 $0 \sim F_s/2$ で帯域制限されているとする。

【0031】

次に、各ミスマッチ特性を有するミスマッチ回路をそれぞれの A/D 変換器の前段に挿入し、その周波数特性を $H_i(\omega)$ ($i = 0, 1, \dots, N-1$) と定義し、さらに、各ミス

10

20

30

40

50

マッチ特性 $H_i(\omega)$ をキャンセルする仮想等価器のイコライズ特性 $G_i(\omega)$ を定義する。

【0032】

ここで、入出力信号が $0 \sim F_s$ の周波数範囲に帯域制限されている条件下で、連続システムをサンプリング周期 $\Delta T (= 1/F_s)$ で表される離散システムに置き換えた場合に、ミスマッチ特性 $H_i(\omega)$ およびイコライズ特性 $G_i(\omega)$ と等価な入出力特性を示すミスマッチ特性 $H_i^*(\omega)$ およびイコライズ特性 $G_i^*(\omega)$ を考え、これらの特性に対応するインパルス応答 $h_{i,u}$ および $g_{i,k}$ を次式によって算出する。なお、インパルス列の長さ u および k は、必要精度で加減する。

【0033】

$$G_i^*(\omega) = 1/H_i^*(\omega) \quad \dots\dots (1)$$

$$h_{i,u} = F^{-1}\{H_i^*(\omega)\} \quad \dots\dots (2)$$

$$g_{i,k} = F^{-1}\{G_i^*(\omega)\} \quad \dots\dots (3)$$

ただし、 $i = 0, 1, \dots, N$

記号 F^{-1} は、離散フーリエ逆変換演算を示す

【0034】

ここで、A/D変換器 12_0 を基準として、図1の等価回路について考察する。

【0035】

各A/D変換器 $12_1 \sim 12_{N-1}$ は、基準のA/D変換器 12_0 に対するミスマッチ成分がミスマッチ回路特性に換算されているので、図1の等価回路に示すように、入力信号 $x(t)$ を基準のA/D変換器 12_0 の変換特性 11_0 で離散システムに変換した信号 $x(n)$ を、各A/D変換器についてのミスマッチ回路 $112_0 \sim 112_{N-1}$ に通過させた後に、誤差が無い理想A/D変換器 $130_0 \sim 130_{N-1}$ でA/D変換した場合と等価である。

【0036】

さらに、各理想A/D変換器 $130_0 \sim 130_{N-1}$ から順次出力されるデジタル値は、それぞれ仮想等価器 $131_0 \sim 131_{N-1}$ に入力され、個々のA/D変換器毎に定義されたイコライザ（インパルス応答 $g_{i,k}$ で定義される）で等価処理を実施した後、各仮想等価器 $131_0 \sim 131_{N-1}$ からサンプル値 $Y(n)$ として出力されることになる。

【0037】

なお、以下では説明を簡単化するために、基準のA/D変換特性 11_0 は、入力信号をそのまま出力に伝送しているものとするが、必要に応じて、この特性を補正してもよい。

【0038】

上記等価回路において、各ミスマッチ回路 $112_0 \sim 112_{N-1}$ の周波数特性を表すインパルス列の長さ u を等しく U で表せば、理想A/D変換器 $130_0 \sim 130_{N-1}$ の入力 $x_{i,n}$ は、次式で表される。

【0039】

$$x_{i,n} = \sum_u x(n-u) \cdot h_{i,u} \quad \dots\dots (4)$$

ただし、 $i = 0, 1, \dots, N-1$

記号 \sum_u は、 $u = -(U-1) \sim (U-1)$ までの総和を示す

【0040】

ここで、各A/D変換器 $12_0 \sim 12_{N-1}$ のサンプリングタイミングと理想A/D変換器 $130_0 \sim 130_{N-1}$ のサンプリングタイミングを等しくすれば、理想A/D変換器 $130_0 \sim 130_{N-1}$ は、入力された値 $x_{i,n}$ を周期 T でA/D変換処理した後、各A/D変換器のサンプリングタイミングに合わせてサンプル値を仮想等価器 $131_0 \sim 131_{N-1}$ に出力するから、理想A/D変換器 130_0 が P 番目のサンプル値を出力するとすれば、 n 番目に出力されるサンプル値は次式で表される $J(n)$ 番目の理想A/D変換器から出力されることになる。

【0041】

$$x_{J(n),n} = \sum_u x(n-u) \cdot h_{J(n),u} \quad \dots\dots (5)$$

10

20

30

40

50

記号 \sum_u は、 $u = -(U-1) \sim (U-1)$ までの総和を示す

【0042】

ここで、 $J(n)$ は、 N を法とする正の値であり、

$$J(n) = n - P \bmod (N)$$

と表す。

【0043】

即ち、個々の理想A/D変換器は、入力された値 $x_{i,n}$ に対して、 N 個おき（周期 T 秒毎）にデータを仮想等価器に出力することになる。

【0044】

今、仮に理想A/D変換器が ΔT 毎にサンプル値を出力することにすれば、ミスマッチ回路から出力される値 $x_{i,n}$ が、仮想等価器にそのまま入力されることになり、仮想等価器内部の対応するイコライザは、定義によりミスマッチ回路の特性を補正するように働くから、ミスマッチ回路およびイコライザの計算上の遅延が0となるように係数を定めれば、入力した値 $x(n)$ と同じ値のサンプル値 $Y(n)$ が N 個の仮想等価器 $131_0 \sim 131_{N-1}$ から出力されることになる。

【0045】

理想A/D変換器が ΔT 毎にサンプル値を出力したと仮定したときに、仮想等価器 $131_0 \sim 131_{N-1}$ 内部のイコライザによる処理は、対応するA/D変換器毎に定められるイコライザのインパルス応答 $g_{i,k}$ を用いて次式で定められる。

【0046】

$$Y(n) = \sum_k x_{J(n), n-k} \cdot g_{J(n), k} \quad \dots\dots (6)$$

ただし、 K はイコライザのインパルス列の長さを示し、記号 \sum_k は、 $k = -(K-1) \sim K-1$ までの総和を示す

【0047】

ここで上式(6)が成立するためには、 $x_{J(n), n-k}$ について、 $k = -(K-1) \sim K-1$ に対して全ての値が必要であるが、実際の各A/D変換器は、前記したように、 N 個おきの値しか出力できない。

【0048】

そこで、この発明では、他のA/D変換器のサンプル値を用いて、イコライズに必要なサンプル値を推定し、その後式(6)の等価演算処理を行う。

【0049】

さらに、各仮想等価器 $131_0 \sim 131_{N-1}$ が算出した n 番目の出力候補のうち、最も誤差が少なくなる $J(n)$ 番目（演算による遅延を0とした場合）の仮想等価器からの出力をサンプル値 $Y(n)$ として出力する。

【0050】

ここで、 $J(n)$ 番目のA/D変換結果を推定するために、 $J(n)$ 番目以外のA/D変換出力

$$x_{J(n-r), n-r-k}$$

ただし、 $r \neq q \times N$ ($q: 0, \pm 1, \pm 2, \dots$)の場合について考察する。

【0051】

この場合、 $n-r$ 番目の値をもっているのは、 $(n-r-P) \bmod (N)$ 番目のA/D変換器であり、定義により $n-r$ 番目の入力値 $x(n-r)$ は、イコライズされた出力値 $Y(n-r)$ と等しい値であるから、次式が成り立つ。

【0052】

$$x(n-r) = Y(n-r)$$

$$= \sum_k x_{J(n-r), n-r-k} \cdot g_{J(n-r), k} \quad \dots\dots (7)$$

ただし、記号 \sum_k は、 $k = -(K-1) \sim K-1$ までの総和を示す

【0053】

また、式(4)において、理想A/D変換器がサンプリングタイミングをずらし、 $J(n)$

10

20

30

40

50

）番目のA/D変換器が $n-r$ 番目のサンプリングを行なったと仮定して得られる推定サンプル値 $x_j(n), n-r$ は、以下のように得られる。

【0054】

$$x_j(n), n-r = \sum_u x(n-r-u) \cdot h_j(n), u \dots \dots (8)$$

ただし、記号 \sum は、 $u = -(U-1) \sim U-1$ までの総和を示す

【0055】

上記式(8)に式(7)を代入すれば、推定サンプル値 $x_j(n), n-r$ が得られ、その得られた推定サンプル値に対して前記式(6)の処理を行うことで、N個のA/D変換器による出力値 $y(n)$ を得ることができる。

【0056】

以下、図面に基づいて本発明の実施の形態を説明する。

図2は、上記前提技術に基づく実施形態の時間インタリーブ方式のA/D変換装置20の構成を示している。

【0057】

図2において、入力端子10a、信号分配器11、N個のA/D変換器12₀～12_{N-1}および出力端子10bは、前記したA/D変換装置10と同一であるので同一符号を付して説明する。

【0058】

このA/D変換装置20では、前記したA/D変換器10と同様に、入力端子10aに入力されるアナログの入力信号 $x(t)$ が、信号分配器11によって複数N本の信号経路に分岐されて、周波数特性がほぼ等しいN個の信号 $x_0(t) \sim x_{N-1}(t)$ がA/D変換器12₀～12_{N-1}にそれぞれ入力する。

【0059】

また、サンプリング制御部21から、周期Tで $\Delta T (= T/N)$ 時間ずつ位相がシフトしたサンプリング用のクロック $C_0 \sim C_{N-1}$ を発生してそれぞれA/D変換器12₀～12_{N-1}に与えて、入力信号に対するサンプリングを各A/D変換器12₀～12_{N-1}で行なわせる。

【0060】

このサンプリング制御部21は、周期 ΔT のサンプリングタイミング信号（以下、単にタイミング信号と記す） C_t を基に前記したクロック $C_0 \sim C_{N-1}$ を生成するとともに、タイミング信号 C_t のタイミングに合わせて、A/D変換結果（サンプル値）を更新するA/D変換器を指定する指定信号ADNUMを、後述する推定手段22₀～22_{N-1}および信号切換器24に出力する。

【0061】

各A/D変換器12₀～12_{N-1}の出力は、それぞれN個の推定手段22₀～22_{N-1}に入力される。

【0062】

各推定手段22₀～22_{N-1}は、それぞれがN個のA/D変換器12₀～12_{N-1}の出力と、サンプリング制御部21からの指定信号ADNUMを受けている。

【0063】

各推定手段22₀～22_{N-1}は、タイミング信号 C_t で示されるタイミング毎に、入力されたN個のサンプル値、指定信号ADNUMおよび後述するAD特性テーブル25の係数とに基づいて、予め決定した推定値算出処理により定まる数E（3点のサンプリング点を用いて推定値を得る場合に $E=1$ 以上となり、1点のサンプリング点を用いて推定値を得る場合には $E=0$ 以上となる）個前のサンプリングタイミングで、A/D変換器がサンプリング動作したと仮定したときのサンプル値を推定する。

【0064】

例えば、3点のサンプリング点を用いて推定を行なう場合には、更新されたサンプル値をもつA/D変換器の番号を a （ $ADNUM=a$ ）とし、Nを法とする正の数 b, c を次式によって求める。

10

20

30

40

50

【0065】

$$b = a - 1 \pmod{N} \quad \dots\dots (11a)$$

$$c = a - 2 \pmod{N} \quad \dots\dots (11b)$$

【0066】

そして、 $i = b$ のとき、推定サンプル値 $W_{i,n}$ を、

$$W_{i,n} = x_{b,n} \quad \dots\dots (12a)$$

とする。

【0067】

また、 $i \neq b$ のとき、推定サンプル値 $W_{i,n}$ を、次の演算で求める。

【0068】

$$\begin{aligned} W_{i,n} = & x_{b,n} \cdot h_{i,0} / h_{b,0} \\ & + x_{a,n} \cdot (h_{i,0} / h_{a,0}) \\ & \cdot \{ (h_{i,-1} / h_{i,0}) - (h_{b,-1} / h_{b,0}) \} \\ & + x_{c,n} \cdot (h_{i,0} / h_{c,0}) \\ & \cdot \{ (h_{i,1} / h_{i,0}) - (h_{b,1} / h_{b,0}) \} \\ & \dots\dots (12b) \end{aligned}$$

10

【0069】

上記式で、 $h_{i,-1}$ 、 $h_{i,0}$ 、 $h_{i,1}$ は、後述するAD特性テーブル25に予め記憶されている係数である。また、上記式(12b)の第1項は主に振幅誤差に関わる項、第2項および第3項は主に位相誤差に関わる項である。

20

【0070】

各推定手段22から出力された推定サンプル値Wは、それぞれイコライザ23₀～23_{N-1}に入力される。

【0071】

各イコライザ23₀～23_{N-1}は、入力された推定サンプル値Wに対して、後述するイコライザ係数テーブル27に記憶されている係数(フィルタ係数)を用いて等価演算処理を行って、その結果、即ち、基準のA/D変換器に対して誤差補正されたサンプル値yをタイミング信号Ctで示されるタイミングでそれぞれ信号切換器24に出力する。

30

【0072】

信号切換器24は、各イコライザ23₀～23_{N-1}から出力されるサンプル値を受け、指定信号ADNUMで指定された値(ここではADNUM=a)、推定値算出処理によって定まる数Eおよびイコライザ係数テーブル27を定義する際に定められるオフセット値a₀を用いてイコライザを指定する値eを、

$$e = a - E - a_0 \pmod{N}$$

の計算により求め、指定信号ADNUMで指定された値aに対してe番目のイコライザ23_eの出力結果y_{e,n}を選択して、最終のAD変換結果Y(n)として出力する。

【0073】

なお、得られるA/D変換結果は、推定値算出処理により理論計算よりE+a₀分のサンプリングタイミングだけ遅延して得られる。

40

【0074】

一方、AD特性テーブル25には、サンプリング周期ΔT(=T/N)で表される離散システムで考慮した場合の入力端子10aから各A/D変換器の出力端までの周波数特性に対する基準のA/D変換器との周波数特性の差H₁^{*}(ω)を3ポイントのインパルス応答で単純化された係数が予め記憶されている。

【0075】

このインパルス応答を求めるために、周波数特性の差の特性H₁^{*}(ω)を、基準A/D変換器についての周波数特性H₀^{*}(ω)および各A/D変換器12₀～12_{N-1}につ

50

いての周波数特性 $H_{i1}^*(\omega)$ から次式によって算出する。なお、差の特性は計算上では以下のように比となる。

【0076】

$$H_{i1}^*(\omega) = H_{O1}^*(\omega) / H_O^*(\omega) \dots\dots (13)$$

【0077】

次に、サンプリング定理を満たす範囲において、周波数特性 $H_{i1}^*(\omega)$ と等価なインパルス応答をもつ FIR フィルタを設計する。ただし、前記等価なインパルス応答をもつフィルタの設計に際しては、設計される N 個のフィルタ全てに共通する絶対遅延量 τ_0 (秒) を任意に設定した後に、個々のフィルタ設計を行う。

【0078】

得られるフィルタの係数を時系列順に、 $\dots, h_{i1, -1}, h_{i1, 0}, h_{i1, 1}, \dots$ (ただし、 $i = 0, 1, 2, \dots, N-1$) と表した場合、絶対遅延量 τ_0 は、係数 $h_{i1, 0}$ の絶対値が最大となり、かつ設計する N 個の FIR フィルタの係数を考慮した場合に、係数の 2 乗の総和 $\sum (h_{i1, -1})^2$ と $\sum (h_{i1, 1})^2$ がほぼ等しい値となるように絶対遅延量 τ_0 を設定する。

【0079】

次に、得られた係数の中から、係数列 $h_{i1, -1}, h_{i1, 0}, h_{i1, 1}$ で示される値を用いて図 3 に示す AD 特性テーブル 25 を作成する。

【0080】

この AD 特性テーブル 25 は、例えばテーブル位置 $(i, -1)$ には $h_{i1, -1}$ を、テーブル位置 $(i, 0)$ には $h_{i1, 0}$ を、テーブル位置 $(i, 1)$ には $h_{i1, 1}$ を対応させる。

【0081】

一方、イコライザ係数テーブル 27 は、前記した式 (13) で算出した周波数特性の差 $H_{i1}^*(\omega)$ を基に、次式により周波数特性 $G_{i1}^*(\omega)$ を算出する。

【0082】

$$G_{i1}^*(\omega) = 1 / H_{i1}^*(\omega) \dots\dots (14)$$

ただし、 $H_{i1}^*(\omega) \neq 0$

【0083】

そして、サンプリング定理を満たす範囲では、周波数特性 $G_{i1}^*(\omega)$ と等価なインパルス応答をもつイコライザ (フィルタ) を i 番目の A/D 変換器に対応するイコライザと定義し、そのイコライザに要求されるフィルタ係数を求めてイコライザ係数テーブル 27 に予め用意しておく。ただし、この等価なインパルス応答をもつフィルタの設計に際しては、設計される N 個のフィルタ全てに共通する絶対遅延 τ_1 (秒) を設定した後に、個々のフィルタ設計を行う。

【0084】

得られるフィルタの係数を時系列順に、 $\dots, g_{i1, -1}, g_{i1, 0}, g_{i1, 1}, \dots$ と表した場合、全フィルタに共通する絶対遅延量 τ_1 の設定値は任意であるが、イコライザ係数テーブル 27 の設計においては、係数 $g_{i1, 0}$ の絶対値が最大となり、かつ設計する N 個のフィルタ係数の 2 乗の総和 $\sum (g_{i1, -1})^2$ と $\sum (g_{i1, 1})^2$ がほぼ等しくなるように絶対遅延量 τ_1 を設定する。

【0085】

次に、得られた係数の中から、 $|g_{i1, M1}| < \varepsilon$ (ここで ε は、予め定められた許容誤差) を満足する最小値 $M1$ を決定し、同様に $|g_{i1, M2}| < \varepsilon$ を満足する最大値 $M2$ を決定し、係数列 $g_{i1, M1}, \dots, g_{i1, -1}, g_{i1, 0}, g_{i1, 1}, \dots, g_{i1, M2}$ を用いて、図 4 のように、イコライザ係数テーブル 27 を作成する。この場合、例えばテーブル位置 $(i, M1)$ には $g_{i1, M1}$ を、テーブル位置 $(i, M1+1)$ には $h_{i1, M1+1}$ を対応させ、以後同様に、テーブル位置 $(i, M2)$ まで順に対応させる。

【0086】

このとき、設計される推定手段 22、イコライザ 23 の時間応答に合わせて、前記したオ

10

20

30

40

50

フセット値 $a_0 = 1$ (構成する回路の絶対遅延量により異なる) を決定する。

【0087】

次に、このA/D変換装置20の動作を図5、図6に基づいて説明する。

図5の(a)のように入力端子10aに入力された入力信号 $x(t)$ は、信号分配器11によってN本の信号経路に分岐され、各A/D変換器12₀～12_{N-1}に入力される。

【0088】

各A/D変換器12₀～12_{N-1}は、図5の(b1)～(bN)のように、サンプリング制御部21から出力されるクロック $C_0 \sim C_{N-1}$ をそれぞれ受けて、それぞれの入力信号 $x_0(t) \sim x_{N-1}(t)$ に対するA/D変換処理をほぼ ΔT 時間ずつ遅れたタイミングに順次行い、その変換処理によって得られたサンプル値 $X_{0,P}, X_{1,P+1}, \dots, X_{N-1,P+N-1}$ を、図5の(c1)～(cN)のようにそれぞれ出力する。

10

【0089】

ここで、サンプリングタイミング順に番号を付け、P番目のサンプリングでは、A/D変換器12₀がA/D変換処理を行ってそのサンプル値を更新したと定義し、その更新されたサンプル値を $X_{0,P}$ と表すとする。

【0090】

このとき、サンプリング制御部21は図5の(d)、(e)に示すように、A/D変換結果の更新タイミングに合わせて、サンプル値を更新したA/D変換器12₀を指定する指定信号ADNUM(例えばADNUM=0とする)と、入力信号に対するサンプリングタイミングを示すタイミング信号Ctを出力する。

20

【0091】

他のA/D変換器12₁～12_{N-1}は変換結果を更新しないので、P番目のサンプリングが行われる前から保持している値を出力している。

【0092】

即ち、

$$X_{1,P} = X_{1,P-1}, X_{2,P} = X_{2,P-1}, \dots,$$

$$X_{N-1,P} = X_{N-1,P-1}$$

となる。

【0093】

次のP+1番目のサンプリングタイミングには、ADNUM=1となり、A/D変換器12₁のサンプル値が更新され、他のA/D変換器12₀、12₂～12_{N-1}は、P番目のサンプリングタイミングのときと同じ値を出力する。

30

【0094】

以後同様に各A/D変換器12₀～12_{N-1}による変換処理が順番に行われ、N-1番目のA/D変換器12_{N-1}のサンプル値が更新された後に、再び0番目のA/D変換器12₀によるサンプル値の更新がなされ、上記動作が循環的に繰り返される。

【0095】

各推定手段22₀～22_{N-1}は、前記したように、サンプル値が更新されていないA/D変換器がそのタイミングでサンプリング動作したと仮定したときのサンプル値を、更新されたサンプル値を用いて推定する。

40

【0096】

例えば、Nが3以上の場合で、一つの推定手段22₀についてみると、図6に示すように、A/D変換器12₁によりP+1番目のサンプル値が更新されたタイミングでは、各A/D変換器について一つ前のサンプリングタイミングでP番目のサンプル値の推定が可能となる。推定手段22₀のP番目の推定サンプル値 $W_{0,P}$ としては、A/D変換器12₀がサンプル値 $X_{0,P}$ を既にもっているから、この値をそのまま出力する。即ち、前記式(12a)の $i=b=0$ の場合に相当する。

【0097】

また、その次のP+2番目のサンプリングタイミングにおける推定サンプル値 $W_{0,P+1}$ は、そのサンプリングタイミングに更新されたA/D変換器12₂のサンプル値 $X_{2,P+1}$

50

$P+2$ と、一つ前のサンプリングタイミングのサンプル値 $X_{1, P+1}$ と、さらにその一つ前のサンプリングタイミングのサンプル値 $X_{0, P}$ と、A/D特性テーブル25の係数とを用いて、前記式(12b)の $i \neq b$ の場合で示す演算式にしたがって算出する。

【0098】

さらに、その次の $P+3$ 番目のサンプリングタイミングにおける推定サンプル値 $W_{0, P+2}$ は、そのサンプリングタイミングに更新されたA/D変換器123のサンプル値 $X_{3, P+3}$ と、一つ前のサンプリングタイミングのサンプル値 $X_{2, P+2}$ と、さらにその一つ前のサンプリングタイミングのサンプル値 $X_{1, P+1}$ と、A/D特性テーブル25の係数とを用いて、前記式(12b)の $i \neq b$ の場合で示す演算式にしたがって算出する。

【0099】

以下同様の推定処理がなされて、その推定サンプル値が時系列に並んだサンプル列 $W_{0, P}, W_{0, P+1}, \dots$ がイコライザ230に出力される。

【0100】

他の推定手段221～22N-1についても同様の推定処理がなされ、その推定サンプル値 $W_{m, P}, W_{m, P+1}, \dots$ ($m=1, 2, \dots, N-1$) がそれぞれイコライザ231～23N-1に出力される。

【0101】

イコライザ231～23N-1は、それぞれ入力される推定サンプル値 W に対して、イコライザ係数テーブル27の係数による等価処理(フィルタリング)を行い、基準のA/D変換器について周波数特性に対して誤差補正されたサンプル値 $y_{i, P}, y_{i, P+1}, \dots$ ($i=0, 1, \dots, N-1$) を信号切換器24にそれぞれ出力する。

【0102】

信号切換器24は、A/D変換器を指定する指定信号ADNUMに対して前記したオフセット値 e 分だけずれたタイミングにその指定信号ADNUMで指定されるA/D変換器に対応するイコライザ23の出力値を順次選択して、その選択値が時系列に並んだデジタル信号列 $Y(n)$ を出力する。

【0103】

このようにして得られた最終のA/D変換結果 $Y(n)$ は、各A/D変換器12の変換処理で実際に得られたサンプル値と各推定手段22で推定算出されたサンプル値からなるサンプル列を、それぞれイコライザ23によって誤差補正しているため、信号分配器11や配線等を含むA/D変換器間の周波数特性差による誤差の影響を格段に低減することができる。

【0104】

また、各イコライザ23が出力するサンプル列のうち、同一サンプリングタイミングで得られる最も誤差の少ないサンプル値が信号切換器24によって選択されるようにしているので、時間波形解析や周波数スペクトラムによる解析誤差を大幅に改善することができる。

【0105】

次に、上記構成のA/D変換装置20の特性例を示す。

図7の(a)、(b)は、 $N=4$ で、周波数10MHzの正弦波を入力信号として、前記実施形態の装置と前記した従来装置10とに与えたときに得られたデジタル信号列 $Y(n)$ と入力信号に対する誤差 $E(n)$ の時間波形を示したものである。

【0106】

図7の(a)に示す実施形態のA/D変換装置20の時間波形は、図7の(b)に示している従来装置の時間波形に対して、誤差がほとんど発生していないことが判る。

【0107】

また、図8は、周波数10MHzの正弦波を入力信号したときに、前記実施形態の装置と従来装置が出力するデジタル信号列 $Y(n)$ に対するFFT解析を行って得られた周波数スペクトラム波形を示したものである。

【0108】

10

20

30

40

50

図 8 の (b) に示している従来装置のスペクトラム波形では、 10MHz の基本波以外に、およそ 41MHz 、 61MHz 、 93MHz の周波数近傍に大きな (基本波に対して約 -40dB) スプリアスが発生しているのに対し、図 8 の (a) に示す実施形態の A/D 変換装置 20 のスペクトラム波形は、基本波の 10MHz 以外のスプリアス成分は観測されていない。

【0109】

また、図 9 は、周波数 98MHz の正弦波を入力信号したときに、実施形態の装置と従来装置とが出力するデジタル信号列 $Y(n)$ に対する FFT 解析を行って得られた周波数スペクトラム波形を示したものである。

【0110】

図 9 の (b) に示している従来装置のスペクトラム波形では、 98MHz の基本波以外に、およそ 4MHz 、 47MHz 、 56MHz の周波数近傍に大きな (基本波に対して約 -40dB) スプリアスが発生しているのに対し、図 9 の (a) に示す実施形態の A/D 変換装置 20 のスペクトラム波形は、基本波の 98MHz 以外に、およそ 4MHz 、 47MHz 、 56MHz の周波数近傍にノイズレベルより僅かに大きい (基本波に対して約 -85dB) スプリアス成分のみが観測されるだけである。

【0111】

このように、実施形態の A/D 変換装置 20 によって得られるデジタル信号列は、時間波形の誤差や周波数スペクトラムのスプリアスの要因となる誤差分が大きく低減されていることが判る。

【0112】

上記した A/D 変換装置 20 では、各 A/D 変換器毎に推定手段 22 とイコライザ 23 とを設け、各イコライザ 23 の出力を信号切換器 24 によって選択していたが、前記したように推定手段 22 は、対応する A/D 変換器自身がサンプリング動作しないときに、他の A/D 変換器のサンプル値と AD 特性テーブル 25 の係数に基づいてサンプル値を推定出力しているので、図 10 に示すように、イコライザ 23 および信号切換器 24 を省略し、各 A/D 変換器 12 のサンプル値を唯一の推定手段 22 に入力して、その推定手段 22 が出力する推定サンプル値 W をそのまま最終の A/D 変換結果 $Y(n)$ として出力端子 10b から出力することも可能である。

【0113】

このように構成した場合、装置構成を格段に簡単化できる。また、従来装置に比べてスプリアスの発生を約 30dB 改善できることが確認されている。

【0114】

また、前記した A/D 変換装置 20 では、3 つの A/D 変換結果からサンプル値を推定していたが、推定が必要なサンプル値のサンプリングタイミングに更新された 1 つの A/D 変換結果からサンプル値を推定してもよい。

【0115】

この場合、前記式 (12b) の第 1 項目において、 $b = a$ とした計算式だけを用いて推定することが可能になり、算出処理を高速化できる。また、この場合でも、従来装置に比べてスプリアスの発生を約 40dB 改善できることが確認されている。

【0116】

また、 $N = 2$ の場合、2 つの A/D 変換器 12_0 、 12_1 が交互に A/D 変換処理を行うため、3 つのサンプル値で推定を行う場合には、A/D 変換器 12_1 の更新前のサンプル値 $X_{1,p-1}$ を対応する推定手段 22_1 のメモリ (図示せず) に記憶しておき、A/D 変換器 12_1 の更新後のサンプル値 $X_{1,p+1}$ が得られたときに、それらの 2 つのサンプル値 $X_{1,p-1}$ 、 $X_{1,p+1}$ と、他方の A/D 変換器 12_0 のサンプル値 $X_{0,p}$ とから、サンプル値 $X_{1,p-1}$ 、 $X_{1,p+1}$ の中間のタイミングのサンプル値 $W_{1,p}$ を推定算出すればよく、これは他方の A/D 変換器 12_0 についても同様である。

【0117】

また、図 11 に示すように、各 A/D 変換器 $12_0 \sim 12_{N-1}$ にそれぞれ入力されるク

10

20

30

40

50

ロック $C_0 \sim C_{N-1}$ の位相を調整する位相調整手段 $31_0 \sim 31_{N-1}$ (例えばラインストラッチャ等) を設けて、サンプリング周波数の上限 ($F_s/2$) で各クロック信号の位相を理想値に設定することで、非線型誤差を減少させることができ、このように位相調整を行うことで、前記したように、A/D変換処理で得られた1つのサンプル値からサンプル値を推定する場合でも、変換誤差を小さくすることができる。

【0118】

また、このようにサンプリングのタイミング誤差を低減することで、イコライザ23のタップ長(前記したM1、M2の大きさ)を短くでき、イコライザ23自身を簡単に構成することができる。

【0119】

【発明の効果】

以上説明したように、本発明のA/D変換装置は、複数のA/D変換器の1つを基準とし、入力端子から各A/D変換器の出力端子までのそれぞれの周波数特性と基準のA/D変換器の周波数特性との差の特性を満たすインパルス応答を有するフィルタの係数を予め記憶しているAD特性テーブルと、複数のA/D変換器によって変換出力されるサンプル値およびAD特性テーブルに記憶されている係数に基づいて、クロックを受けたA/D変換器がサンプル値を更新するタイミングに他のA/D変換器が変換処理をおこなったと仮定して得られるサンプル値を推定する推定手段とを設けている。

【0120】

このため、基準に対する各A/D変換器の周波数特性の差を相殺して、時間波形の誤差やスプリアスの発生を低減することができる。

【0121】

また、この一つの推定手段から出力されるサンプル列を装置全体のA/D変換結果として出力する構成が可能となり、装置構成を簡単化することができる。

【0122】

また、推定手段を各A/D変換器毎に設け、それぞれが対応するA/D変換器についてのサンプル値を推定するように構成するとともに、基準のA/D変換器と各A/D変換器の周波数特性の差をそれぞれ相殺する周波数特性を満たすインパルス応答を有するフィルタの係数を予め記憶しているイコライザ係数テーブルと、各推定手段毎にそれぞれ設けられ、各推定手段から出力されるサンプル値に対して、イコライザ係数テーブルに記憶されている係数に基づくフィルタリングをそれぞれ行なって、誤差補正されたサンプル値をそれぞれ出力する複数のイコライザと、指定信号と複数のイコライザからのサンプル値とを受け、A/D変換器がクロックによってサンプリングする順に複数のイコライザのサンプル値を選択して出力する信号切換器とを設けている。

【0123】

このため、基準に対する各A/D変換器の周波数特性の差の特性が相殺されて誤差が補正されたサンプル列を得ることができ、しかも、そのサンプル列から誤差がより少ないサンプル値を出力することができ、時間波形の誤差やスプリアスの発生をより低減することができる。

【0124】

また、複数のA/D変換器に入力されるクロックの位相を調整する位相調整手段を設けたものでは、サンプリング周波数の上限 ($F_s/2$) で各クロックの位相を理想値に設定することで、非線型誤差を減少させることができ、このように位相調整を行うことで、例えばA/D変換処理で得られた1つのサンプル値からサンプル値を推定する場合でも、変換誤差を小さくすることができる。

【0125】

また、イコライザのタップ長を短くでき、イコライザ自身を簡単に構成することができる。

【図面の簡単な説明】

【図1】本発明の前提技術を説明するための図

10

20

30

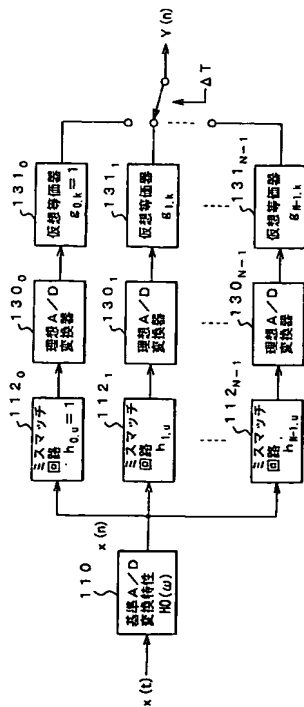
40

50

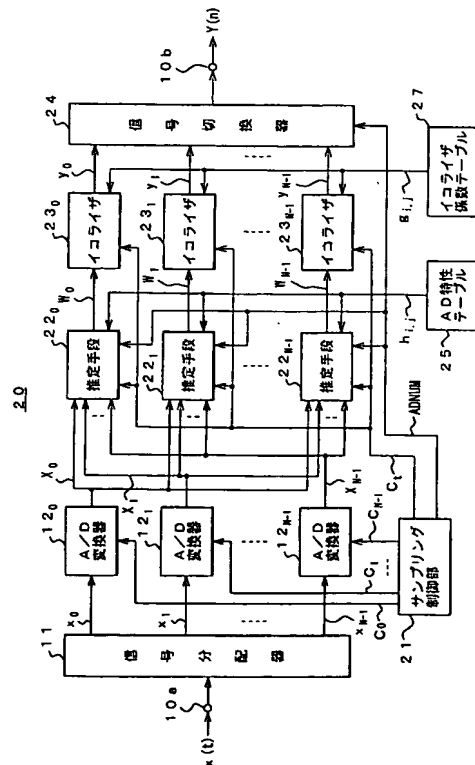
- 【図 2】 本発明の実施形態の構成を示す図
 【図 3】 実施形態の要部のテーブル図
 【図 4】 実施形態の要部のテーブル図
 【図 5】 実施形態の動作説明図
 【図 6】 実施形態の動作説明図
 【図 7】 実施形態の特性を示す図
 【図 8】 実施形態の特性を示す図
 【図 9】 実施形態の特性を示す図
 【図 10】 他の実施形態を示す図
 【図 11】 クロックに対する位相調整手段を付加した例を示す図
 【図 12】 従来装置の構成を示す図
 【図 13】 従来装置の動作説明図
 【図 14】 従来装置の特性を示す図
 【図 15】 従来装置の特性を示す図
 【符号の説明】

10 a ……入力端子、10 b ……出力端子、11 ……信号分配器、12 ……A/D変換器、
 20 ……A/D変換装置、21 ……サンプリング制御部、22 ……推定手段、23 ……
 イコライザ、24 ……信号切替器、25 ……AD特性テーブル、27 ……イコライザ係数
 テーブル、31 ……位相調整手段

【図 1】



【図 2】



【図 3】

25

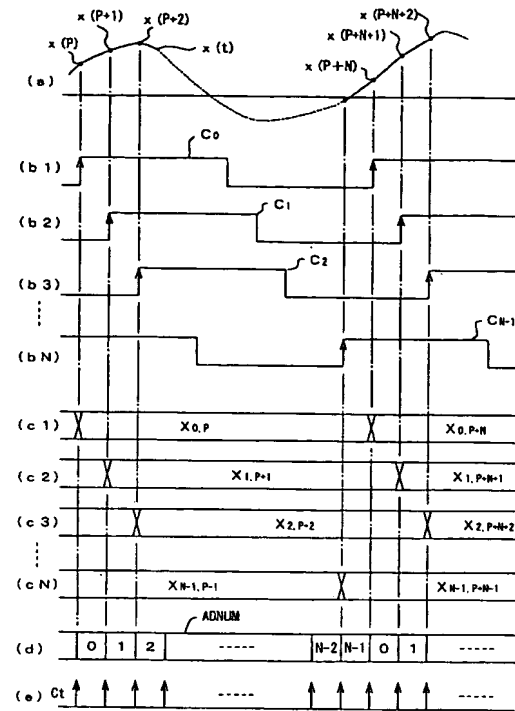
$i \backslash j$	-1	0	1
0	$h_{0,-1}$	$h_{0,0}$	$h_{0,1}$
1	$h_{1,-1}$	$h_{1,0}$	$h_{1,1}$
2	$h_{2,-1}$	$h_{2,0}$	$h_{2,1}$
\vdots	\vdots	\vdots	\vdots
$N-1$	$h_{N-1,-1}$	$h_{N-1,0}$	$h_{N-1,1}$

【図 4】

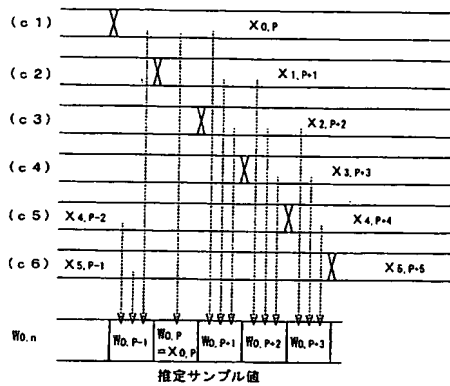
27

$i \backslash j$	M1	---	-1	0	1	---	M2
0	$g_{0,M1}$	---	$g_{0,-1}$	$g_{0,0}$	$g_{0,1}$	---	$g_{0,M2}$
1	$g_{1,M1}$	---	$g_{1,-1}$	$g_{1,0}$	$g_{1,1}$	---	$g_{1,M2}$
2	$g_{2,M1}$	---	$g_{2,-1}$	$g_{2,0}$	$g_{2,1}$	---	$g_{2,M2}$
\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots	\vdots
$N-1$	$g_{N-1,M1}$	---	$g_{N-1,-1}$	$g_{N-1,0}$	$g_{N-1,1}$	---	$g_{N-1,M2}$

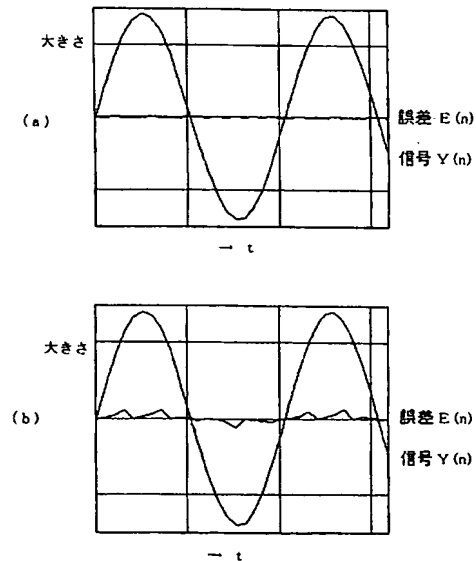
【図 5】



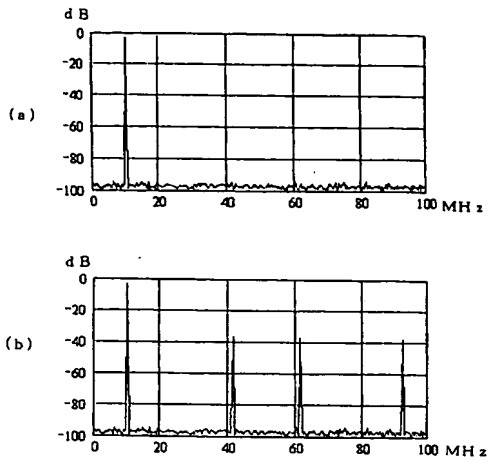
【図 6】



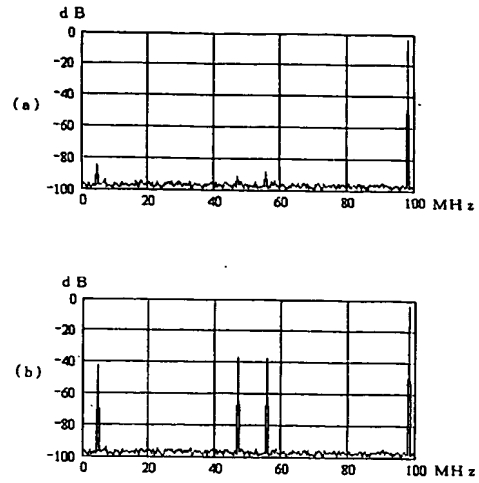
【図 7】



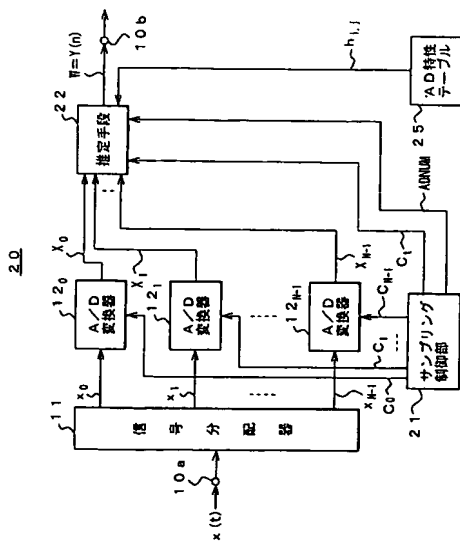
【図 8】



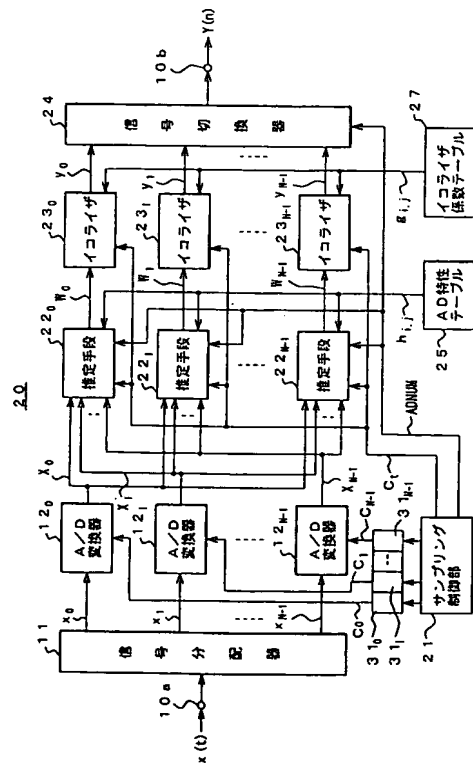
【図 9】



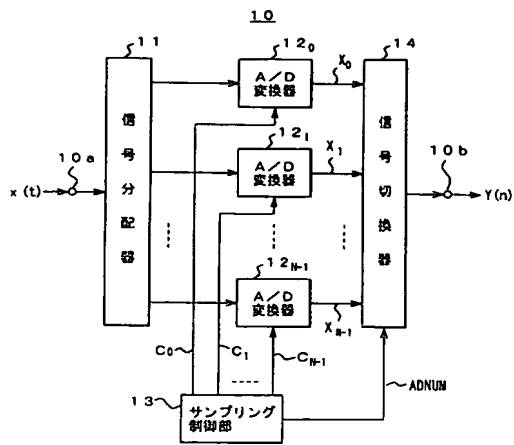
【図 10】



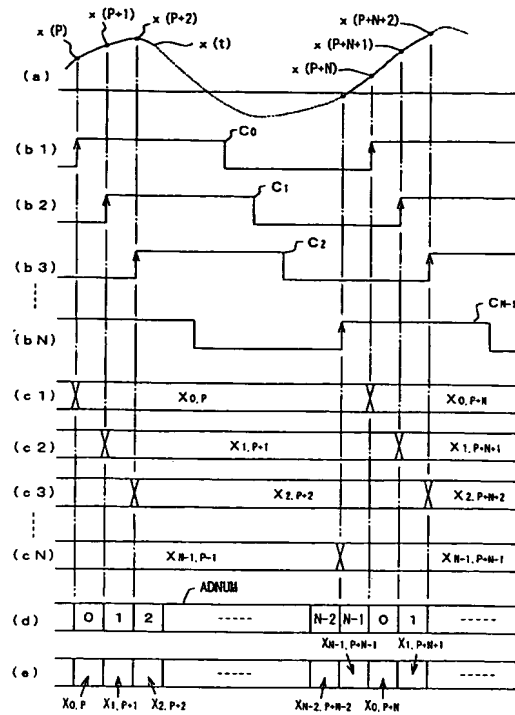
【図 11】



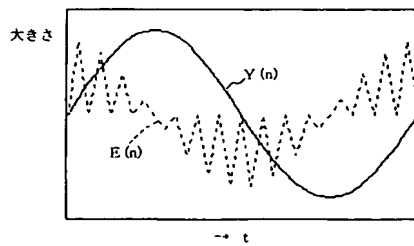
【図 12】



【図 13】



【図 14】



【図 15】

